

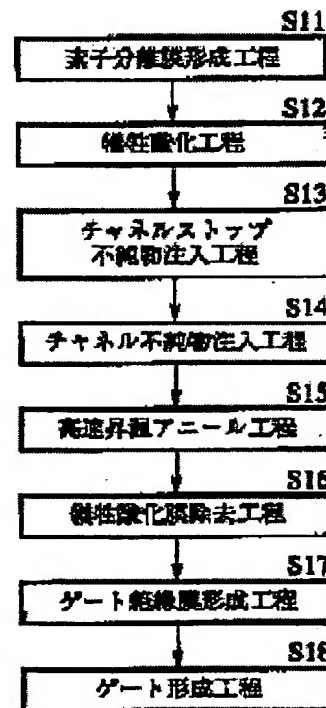
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP11026754
Publication date: 1999-01-29
Inventor: MIYASHITA TOSHIHIKO
Applicant: FUJITSU LTD
Classification:
- international: H01L29/78
- european:
Application number: JP19970173476 19970630
Priority number(s): JP19970173476 19970630

Report a data error here

Abstract of JP11026754

PROBLEM TO BE SOLVED: To provide a semiconductor manufacturing method in which the variation of impurities to be redistributed in a channel region of a MOS FET is especially suppressed. **SOLUTION:** In this method an element isolating film is formed on a semiconductor substrate (step S11), channel impurities are introduced in a region of the semiconductor substrate which is fixed by the element isolating film (step S14) and thermal processing in a thermal processing method of elevating a temperature until a predetermined temperature at over 50 deg.C per second (step S15) is performed. After that a gate insulating film is formed on the semiconductor substrate (step S17) and a gate electrode is formed on the gate insulating film (step S18).



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-26754

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

3 0 1 G
3 0 1 H

審査請求 未請求 請求項の数8 O L (全 9 頁)

(21) 出願番号 特願平9-173476

(22) 出願日 平成9年(1997) 6月30日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 宮下 俊彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 北野 好人

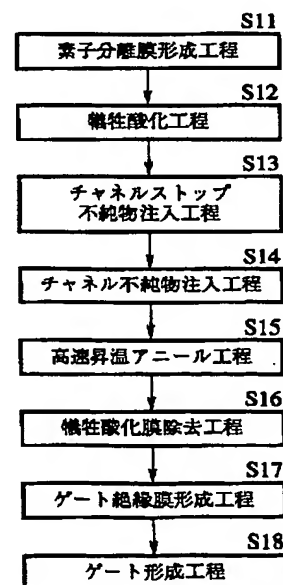
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の製造方法に係り、特に、MOS FETのチャネル領域における不純物の再分布ばらつきを抑制する半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に素子分離膜を形成する工程(ステップS11)と、素子分離膜により画定された半導体基板の領域にチャネル不純物を導入する工程(ステップS14)と、毎秒50℃以上のレートで所定の温度まで昇温する熱処理方法により熱処理を行う工程(ステップS15)と、半導体基板上にゲート絶縁膜を形成する工程(ステップS17)と、ゲート絶縁膜上にゲート電極を形成する工程(ステップS18)とにより半導体装置を製造する。

発明の第1実施形態による半導体装置の製造方法を示す工程図



1

【特許請求の範囲】

【請求項 1】 半導体基板上に素子分離膜を形成する素子分離膜形成工程と、

前記素子分離膜により画定された前記半導体基板の領域にチャンネル不純物を導入するチャンネル不純物導入工程と、

前記チャンネル不純物が導入された前記半導体基板を、毎秒 50℃以上のレートで所定の温度まで昇温する熱処理方法により熱処理を行う熱処理工程と、

前記半導体基板上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記熱処理工程では、不活性ガス雰囲気の前記半導体基板を熱処理することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、

前記熱処理工程では、前記半導体基板を窒化することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記ゲート絶縁膜形成工程では、毎秒 30℃以上のレートで所定の温度まで昇温する酸化方法により前記半導体基板を酸化して前記ゲート絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法において、

前記ゲート絶縁膜形成工程は、毎秒 30℃以上のレートで所定の温度まで昇温する酸化方法により前記半導体基板を酸化する第 1 の酸化工程と、

炉酸化により前記半導体基板を酸化する第 2 の酸化工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記素子分離膜形成工程の後に、前記素子分離膜の応力を緩和するための素子分離膜アニール工程を更に有することを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上に素子分離膜を形成する素子分離膜形成工程と、

前記半導体基板を熱処理して前記素子分離膜の応力を緩和する素子分離膜アニール工程と、

前記半導体基板上に、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜下の前記半導体基板にチャンネル不純物を導入するチャンネル不純物導入工程と、

2

前記ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、

前記ゲート絶縁膜形成工程の後に、前記ゲート絶縁膜を窒化するゲート絶縁膜窒化工程を更に有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係り、特に、MOSFET のチャンネル領域における不純物の再分布ばらつきを抑制する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体装置の微細化は留まるところを知らず、DRAM やロジックデバイスでは、その構成素子の最小加工寸法が 0.1 μm 以下のレベルへと向かいつつある。このように素子の微細化が進むにつれ、これまで見えていなかった問題が、今後の解決すべき重要な問題として浮かび上がってきている。

【0003】 その一つとして MOSFET の閾値電圧のばらつきが挙げられる。MOSFET の閾値電圧は、ゲート長やゲート絶縁膜厚のばらつきなど、物理的なトランジスタサイズの変動によってばらつくことが知られている。これに加え、近年の素子の微細化とともに新たに、チャンネル領域の不純物分布の統計ゆらぎやチャンネル不純物の注入後の熱処理によるチャンネル不純物の再分布ばらつきが閾値電圧のばらつきに影響することが判ってきている。

【0004】 微細化が進む近年の MOSFET では、このようなチャンネル領域の不純物の統計ゆらぎやチャンネル不純物の注入後の熱処理によるチャンネル不純物の再分布ばらつきがデバイス特性に大きく関与しており、CMOS デバイスの低消費電力化を進めるうえでも、また、デバイス設計マージンを広く取るうえでも、これらばらつきをできる限り抑えることが望ましい。

【0005】 このため、更なる微細化が展開される今後のデバイスでは、上述した閾値電圧のばらつきを抑制しうるプロセスを構築することが極めて重要である。

【0006】

【発明が解決しようとする課題】 しかしながら、従来の半導体装置の製造方法では、このような不純物の再分布ばらつき等について十分な考慮がなされていなかったため、MOSFET の閾値電圧ばらつきを制御することは困難であった。特に、ゲート長が 0.2 μm を切るような微細なトランジスタでは、不純物の再分布ばらつきが閾値電圧に与える影響が顕著となるため、不純物の再分布ばらつきを抑制しうる半導体装置の製造方法が望まれている。

【0007】本発明の目的は、MOSFETのチャネル領域における不純物の再分布ばらつきを抑制する半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、半導体基板上に素子分離膜を形成する素子分離膜形成工程と、前記素子分離膜により画定された前記半導体基板の領域にチャネル不純物を導入するチャネル不純物導入工程と、前記チャネル不純物が導入された前記半導体基板を、毎秒50℃以上のレートで所定の温度まで昇温する熱処理方法により熱処理を行う熱処理工程と、前記半導体基板上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、前記ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程とを有することを特徴とする半導体装置の製造方法によって達成される。このようにして、チャネル不純物導入工程と、ゲート絶縁膜形成工程との間に、高速で昇温をする熱処理工程を行うことにより、ゲート絶縁膜を形成する際の酸化工程においてチャネル不純物の酸化増速拡散を抑制することができる。これにより、チャネル不純物の再分布ばらつきを抑えることができるので、MOSFETの閾値電圧ばらつきを低減することができる。

【0009】また、上記の半導体装置の製造方法において、前記熱処理工程では、不活性ガス雰囲気中で前記半導体基板を熱処理することが望ましい。また、上記の半導体装置の製造方法において、前記熱処理工程では、前記半導体基板を窒化することが望ましい。このように形成した窒化膜を利用することにより、酸窒化膜をゲート絶縁膜とするMOSFETを、閾値電圧のばらつきを低減しつつ形成することができる。

【0010】また上記の半導体装置の製造方法において、前記ゲート絶縁膜形成工程では、毎秒30℃以上のレートで所定の温度まで昇温する酸化方法により前記半導体基板を酸化して前記ゲート絶縁膜を形成することが望ましい。ゲート絶縁膜形成工程で高速昇温酸化法を用いれば、チャネル不純物の増速拡散を更に抑制することができる。

【0011】また、上記の半導体装置の製造方法において、前記ゲート絶縁膜形成工程は、毎秒30℃以上のレートで所定の温度まで昇温する酸化方法により前記半導体基板を酸化する第1の酸化工程と、炉酸化により前記半導体基板を酸化する第2の酸化工程とを有することが望ましい。このように2段階で酸化処理を行うことにより、チャネル不純物の増速拡散を防止しつつゲート絶縁膜の信頼性を高めることができる。

【0012】また、上記の半導体装置の製造方法において、前記素子分離膜形成工程の後に、前記素子分離膜の応力を緩和するための素子分離膜アニール工程を更に有することが望ましい。高温の素子分離膜アニールを行うことにより、チャネル不純物のストレス起因の拡散を抑

制することができるので、MOSFETの閾値電圧ばらつきを低減することができる。

【0013】また、上記目的は、半導体基板上に素子分離膜を形成する素子分離膜形成工程と、前記半導体基板を熱処理して前記素子分離膜の応力を緩和する素子分離膜アニール工程と、前記半導体基板上に、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、前記ゲート絶縁膜下の前記半導体基板にチャネル不純物を導入するチャネル不純物導入工程と、前記ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。こうすることにより、ゲート絶縁膜の形成後にチャネル不純物を導入するので、ゲート絶縁膜形成過程におけるチャネル不純物の再分布を防止することができる。また、素子分離膜の形成後に高温アニールを行うので、チャネル不純物のストレス起因の拡散をも防止することができる。

【0014】また、上記の半導体装置の製造方法において、前記ゲート絶縁膜形成工程の後に、前記ゲート絶縁膜を窒化するゲート絶縁膜窒化工程を更に有することが望ましい。チャネル不純物の導入後にゲート絶縁膜の窒化処理を行えば、ゲート絶縁膜の注入ダメージを除去できると同時に窒化酸化膜よりなるゲート絶縁膜を形成することができる。

【0015】

【発明の実施の形態】

【第1実施形態】本発明の第1実施形態による半導体装置の製造方法を図1乃至図3を用いて説明する。図1は本実施形態による半導体装置の製造方法を示す工程図、図2は本実施形態による半導体装置の製造方法を示す工程断面図、図3は本実施形態の変形例による半導体装置の製造方法を示す工程図である。

【0016】まず、シリコン基板10上に素子分離膜12を形成し、素子領域を画定する（ステップS11、図2(a)）。例えば、LOCOS(LOCaI Oxidation of Silicon)法を用いた1000℃のウェット酸化により、膜厚約200nmの素子分離膜12を局所的に形成する。次いで、素子分離膜12を形成したシリコン基板10を再度熱酸化し、素子領域に犠牲酸化膜14を形成する（ステップS12、図2(b)）。例えば、900℃のドライ酸化により、膜厚約10nmの犠牲酸化膜14を形成する。

【0017】続いて、素子分離領域における寄生トランジスタの動作を防止すべく、素子分離領域にチャネルストップ不純物16を注入する（ステップS13、図2(c)）。N型トランジスタ形成領域であれば、例えばBイオンを、加速エネルギー40keV、注入量 $4 \times 10^{12} \text{ cm}^{-2}$ としてイオン注入する。この後、MOSFETの閾値電圧を制御するためのチャネルストップ不純物18を注入する（ステップS14、図2(d)）。N型

トランジスタ形成領域であれば、例えばBイオンを、加速エネルギー10keV、注入量 $9 \times 10^{12} \text{ cm}^{-2}$ としてイオン注入する。

【0018】次いで、酸素を含まない雰囲気中で、高速で昇温を行うアニールを行う（ステップS15）。例えば、流量を5SLMとした窒素ガス雰囲気中で、1000℃、5秒間のアニールを行う。このアニールは、後工程で行うゲート酸化時におけるチャネル不純物18の酸化増速拡散を抑えることを目的として行うものである。イオン注入直後のシリコン基板10を酸化雰囲気中で熱処理すると、酸化反応に伴う注入不純物の酸化増速拡散が生じる。このため、チャネル不純物注入直後にゲート酸化を行うと、チャネル不純物の再分布にばらつきを生じることとなる。

【0019】そこで、本実施形態による半導体装置の製造方法では、チャネル不純物注入工程とゲート絶縁膜形成工程との間に熱処理を行うことによりシリコン基板10中の注入ダメージを予め除去しておき、ゲート絶縁膜形成工程におけるチャネル不純物の増速拡散を抑制している。なお、この熱処理には、ランプ加熱などを用いた高速昇温アニールを適用することが好ましい。チャネル不純物のプロファイルに大きな影響を与えずに所期の目的を達成することができるからである。但し、熱処理条件は、不純物の再分布などを考慮し、適宜調整することが望ましい。

【0020】ところで、本明細書にいう高速昇温熱処理（アニール）とは、所定の熱処理温度までに達する昇温レートが速い熱処理方法を指すものであり、例えば、ランプ加熱を用いた熱処理が該当する。電気炉を用いた通常の炉アニールと区別するために用いた表現である。なお、具体的には、毎秒50℃以上のレートで昇温する熱処理が望ましい。

【0021】続いて、素子領域上の犠牲酸化膜14を除去した後、ゲート絶縁膜20を形成する（ステップS16～17、図2（e））。例えば、弗酸系水溶液を用いたウェットエッチングにより犠牲酸化膜14を除去した後、800℃でウェット酸化を行い、膜厚約5nmのゲート絶縁膜20を形成する。本実施形態による半導体装置の製造方法では、ゲート絶縁膜の形成に先立ち高速昇温アニールを行っているので、この酸化におけるチャネル不純物の増速拡散が抑制され、チャネル不純物の再分布ばらつきを小さく抑えることができる。

【0022】この後、通常MOSFETの製造方法と同様にして、ゲート電極22、ソース／ドレイン拡散層24、26を形成し、MOSトランジスタを形成する（ステップS18、図2（f））。このように、本実施形態によれば、チャネル不純物注入工程と、ゲート絶縁膜形成工程との間に、酸素を含まない雰囲気中における高速昇温アニールを行うので、ゲート絶縁膜20を形成する際の酸化工程におけるチャネル不純物の酸化増速拡

散を抑制することができる。これにより、チャネル不純物18の再分布ばらつきを抑えることができるので、MOSFETの閾値電圧ばらつきを低減することができる。

【0023】なお、近年の半導体装置では、ゲート絶縁膜20の信頼性向上などを目的として、ゲート絶縁膜20に酸化窒化膜を用いることがある。このような場合、上記の高速昇温アニールの代わりに高速昇温窒化を行うことによってもチャネル不純物の再分布を防止しつつ酸化窒化膜を有するMOSトランジスタを形成することができる。

【0024】例えば、図3に示すように、ステップS25において犠牲酸化膜14を除去した後高速昇温窒化（RTN）を行い、素子領域にシリコン窒化膜を形成する（ステップS25）。例えば、アンモニア流量を5SLM、温度を850℃、時間を120秒としてシリコン基板10を窒化してシリコン窒化膜を形成する。次いで、電気炉で炉酸化を行い、このように形成したシリコン窒化膜を熱酸化し、酸化窒化膜よりなるゲート絶縁膜20を形成する（ステップS27）。例えば、温度800℃でウェット酸化を行い、膜厚約5nmのゲート絶縁膜20を形成する。

【0025】こうすることにより、酸化窒化膜よりなるゲート絶縁膜を有するMOSトランジスタをチャネル不純物の再分布を抑制しつつ形成することができる。

〔第2実施形態〕本発明の第2実施形態による半導体装置の製造方法を図4を用いて説明する。図1又は図2に示す第1実施形態による半導体装置の製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0026】図4は本実施形態による半導体装置の製造方法を示す工程図である。本実施形態による半導体装置の製造方法は、チャネル不純物の再分布を抑制するためにチャネル不純物注入工程とゲート絶縁膜形成工程との間に酸素を含まない雰囲気中における高速昇温アニールを行う点については第1実施形態による半導体装置の製造方法と同様であるが、素子分離膜の形成直後に高温のアニールを行うことに特徴がある。

【0027】すなわち、本実施形態による半導体装置の製造方法では、図4に示すように、素子分離膜形成工程（ステップS31）と犠牲酸化膜形成工程（ステップS33）との間に、新たに素子分離膜アニール工程（ステップS32）を設けている。LOCOS法などを用いた素子分離膜12の形成過程では、下地のシリコン基板10を熱酸化して素子分離膜12を形成するが、素子分離膜12の周縁領域には酸化反応などに伴うメカニカルストレスが導入されることがある。このようなストレスがシリコン基板10中に存在すると、ストレス起因の不純物拡散が生じてチャネル不純物18の再分布過程にばらつきを生じる虞がある。そこで、本実施形態による半導

体装置の製造方法では、素子分離膜12の形成後に不活性ガス雰囲気中で1000℃以上の高温アニールを行い、素子分離膜12形成時にシリコン基板10に導入されたメカニカルストレスを緩和している。

【0028】このようにして素子分離膜12の形成後に高温アニールを行うことにより、後工程におけるチャネル不純物の再分布ばらつきを低減することができる。特に、図4に示すように、チャネル不純物注入工程とゲート絶縁膜形成工程との間に酸素を含まない雰囲気中における高速昇温アニールを行うプロセスに適用すれば、チャネル不純物18の再分布ばらつきを更に効果的に抑制することができる。

【0029】なお、この熱処理としては、例えば、窒素雰囲気中、1200℃、30分間の炉アニールを適用することができる。但し、熱処理条件は、素子分離膜12の形成方法や膜厚等に応じて適宜選択することが好ましい。このように、本実施形態によれば、素子分離膜12の形成後に素子分離膜形成工程（ステップS31）で導入されるメカニカルストレスを緩和するための高温アニールを行うので（ステップS32）、ストレス起因の不純物の再分布を低減することができる。これにより、チャネル不純物の再分布を抑えることができるので、MOSFETの閾値電圧ばらつきを低減することができる。

【0030】【第3実施形態】本発明の第3実施形態による半導体装置の製造方法を図5を用いて説明する。図1又は図2に示す第1実施形態による半導体装置の製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。図5は本実施形態による半導体装置の製造方法を示す工程図である。

【0031】本実施形態による半導体装置の製造方法は、チャネル不純物の再分布を抑制するためにチャネル不純物注入工程とゲート絶縁膜形成工程との間に酸素を含まない雰囲気中における高速昇温アニールを行う点については第1実施形態による半導体装置の製造方法と同様であるが、ゲート絶縁膜形成工程において高速昇温酸化法を用いていることに特徴がある。

【0032】高速昇温酸化法を用いた酸化膜形成では、不純物の増速拡散を低減できることが知られている。このため、ゲート絶縁膜20の形成に高速昇温酸化法を適用すればチャネル領域のチャネル不純物18の増速拡散による再分布を抑えつつゲート絶縁膜20を形成することが可能となる。特に、図5に示すように、チャネル不純物注入工程とゲート絶縁膜形成工程との間に酸素を含まない雰囲気中における高速昇温アニールを行うプロセスに適用すれば、チャネル不純物の再分布ばらつきを更に効果的に抑制することができる。

【0033】なお、この酸化には、少なくとも毎秒30℃以上のレートで昇温する酸化方法を適用することが望ましい。具体的には、例えば、酸素の流量を5SLM、昇温レートを60℃/秒、温度を1000℃、時間を5

分間とした短時間酸化（RTO）を適用することができる。但し、熱処理条件は、ゲート絶縁膜20の膜厚等に応じて適宜選択することが好ましい。

【0034】このように、本実施形態によれば、ゲート絶縁膜20を高速昇温酸化により形成するので、ゲート絶縁膜形成過程におけるチャネル不純物18の再分布を抑制することができる。これにより、MOSFETの閾値電圧ばらつきを低減することができる。なお、上記実施形態では、高速昇温酸化によるゲート絶縁膜形成を第1実施形態による半導体装置の製造方法に適用した例を示したが、第2実施形態による半導体装置の製造方法に適用してもよい。これにより、チャネル不純物の再分布を更に抑制することができる。

【0035】【第4実施形態】本発明の第4実施形態による半導体装置の製造方法を図6を用いて説明する。図1又は図2に示す第1実施形態による半導体装置の製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。図6は本実施形態による半導体装置の製造方法を示す工程図である。

【0036】本実施形態による半導体装置の製造方法は、チャネル不純物の再分布を抑制するためにチャネル不純物注入工程とゲート絶縁膜形成工程との間に酸素を含まない雰囲気中における高速昇温アニールを行う点については第1実施形態による半導体装置の製造方法と同様であるが、ゲート絶縁膜形成工程において、高速昇温酸化法と炉酸化とを組み合わせた二段階酸化法を適用していることに特徴がある。

【0037】すなわち、本実施形態による半導体装置の製造方法では、図6に示すように、高速昇温酸化による第1の酸化工程（ステップS56）と、炉酸化による第2の酸化工程（ステップS57）とによりゲート絶縁膜20を形成する。現状の技術では、高速昇温酸化により形成した酸化膜は、炉酸化により形成した酸化膜よりも膜質が劣っている。一方、高速昇温酸化と炉酸化とによる二段階の酸化を行うとその膜質が改善できることが知られている。また、酸化増速拡散は、酸化の初期過程で発生することが知られており、この過程における増速拡散を低減できればチャネル不純物の再分布を抑制することが可能である。

【0038】そこで、本実施形態による半導体装置の製造方法では、増速拡散を抑制するためにまず高速昇温酸化による酸化を行い、その後、ゲート絶縁膜の膜質を向上するために炉酸化による酸化を行っている。なお、この熱処理としては、例えば、酸素の流量を5SLM、温度を1000℃、時間を5秒とした高速昇温酸化の後、温度800℃のウェット酸化を電気炉中で行い、膜厚約5nmのゲート絶縁膜を形成するプロセスを適用することができる。但し、熱処理条件は、ゲート絶縁膜の膜厚等に応じて適宜選択することが好ましい。

【0039】このように、本実施形態によれば、ゲート

絶縁膜形成を、高速昇温酸化により酸化膜を形成する第1の酸化工程（ステップS56）と、炉酸化により酸化膜を形成する第2の酸化工程（ステップS57）とにより行うので、チャンネル不純物の酸化増速拡散を抑えつつ、ゲート絶縁膜20の信頼性をも向上することができる。

【0040】〔第5実施形態〕本発明の第5実施形態による半導体装置の製造方法を図7乃至図9を用いて説明する。図1又は図2に示す第1実施形態による半導体装置の製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。図7は本実施形態による半導体装置の製造方法を示す工程図、図8及び図9は本実施形態の変形例による半導体装置の製造方法を示す工程図である。

【0041】本実施形態による半導体装置の製造方法は、ゲート酸化過程におけるチャンネル不純物の酸化増速拡散が生じないように、ゲート絶縁膜の形成後にチャンネル不純物を導入することに特徴がある。以下、本実施形態による半導体装置の製造方法を図7を用いて説明する。まず、シリコン基板10上に素子分離膜12を形成し、素子領域を画定する（ステップS61）。

【0042】次いで、高温のアニールを行い、素子分離膜12の形成過程で導入されるメカニカルストレスを緩和する（ステップS62）。続いて、素子分離膜12を形成したシリコン基板10を再度熱酸化し、素子領域に犠牲酸化膜14を形成する（ステップS63）。この後、素子分離領域における寄生トランジスタの動作を防止すべく、素子分離領域にチャンネルストップ不純物16を注入する（ステップS64）。

【0043】次いで、素子領域上の犠牲酸化膜14を除去した後、ゲート絶縁膜20を形成する。この際、素子領域にはチャンネル不純物18は導入されていないので、ゲート絶縁膜20を形成する酸化工程におけるチャンネル不純物18の酸化増速拡散は生じることはない。続いて、MOSFETの閾値電圧を制御するためのチャンネルストップ不純物20を注入する。

【0044】この後、通常のMOSFETの製造方法と同様にして、ゲート電極22、ソース/ドレイン24、26拡散層を形成し、MOSトランジスタを形成する。このように、本実施形態によれば、素子分離膜の形成後に素子分離過程で導入されるメカニカルストレスを緩和するための高温アニールを行うので（ステップS62）、ストレス起因の不純物の再分布を低減することができる。また、ゲート絶縁膜の形成後にチャンネル不純物を注入するので（ステップS67）、ゲート絶縁膜20の形成過程におけるチャンネル不純物の酸化増速拡散を防止することができる。これにより、チャンネル不純物の再分布を抑えることができるので、MOSFETの閾値電圧ばらつきを低減することができる。

【0045】なお、上記実施形態では、ゲート絶縁膜2

0を通してチャンネル不純物18を導入することとなるため、イオン注入によるダメージがゲート絶縁膜20に誘起されることが懸念される。この場合、例えば、図8に示すように、チャンネル不純物18の注入後に窒化処理を行い、ゲート絶縁膜20のダメージを除去すると同時に、ステップS76において形成したシリコン酸化膜よりなるゲート絶縁膜20を窒化し（ステップS78）、窒化酸化膜よりなるゲート絶縁膜20を形成することが有効である。

【0046】また、ゲート電極となる導電層やゲート電極上からチャンネル不純物を注入することによっても、ゲート絶縁膜に与えるダメージを低減することができる。また、図9に示すように、犠牲酸化膜14の除去前にシリコン基板10の深い位置にパンチスルーストッパを形成するためのイオン注入を行い、その後、ゲート絶縁膜20を形成し、ゲート絶縁膜20を通してゲート絶縁膜20を劣化しないように低エネルギー、低ドーズで浅い位置に閾値制御用のチャンネル不純物注入を行えば、注入ドーズを抑えたままチャンネル領域の表面濃度を上げることができるので、チャンネル不純物注入によるゲート絶縁膜へのダメージを低減することができる。

【0047】また、図9に示す半導体装置の製造方法においては、チャンネルストップ不純物注入とパンチスルーストッパ不純物注入とを一回のイオン注入で兼ねることもできる。

〔変形実施形態〕本発明は、上記実施形態に限らず種々の変形が可能である。

【0048】例えば、上記第1乃至第5実施形態では、LOCOS法により素子分離膜を形成する方法を例に説明したが、他の素子分離膜形成方法を用いた場合にも本発明を適用することができる。例えば、シャロートレンチ分離を用いた素子分離法を用いる場合にも有効である。また、上記実施形態に記載したプロセス条件は一例を示したものにすぎず、デバイス構造等に応じて適宜最適化することが望ましい。

【0049】また、第1乃至第4実施形態による半導体装置の製造方法では、チャンネル不純物の再分布を抑制するためにチャンネル不純物注入工程とゲート絶縁膜形成工程との間に酸素を含まない雰囲気中における高速昇温アニールを行うことが重要であり、その他の工程については、上述した工程図に沿って必ずしも行われる必要はない。例えば、チャンネルストップ不純物のイオン注入工程は、ゲート絶縁膜形成工程の後に行ってもよい。

【0050】また、上述した製造工程の間に、他の工程を挿入してもよい。

【0051】

【発明の効果】以上の通り、本発明によれば、半導体基板上に素子分離膜を形成する素子分離膜形成工程と、素子分離膜により画定された半導体基板の領域にチャンネル不純物を導入するチャンネル不純物導入工程と、チャンネル

不純物が導入された半導体基板を、毎秒 5 0℃以上のレートで所定の温度まで昇温する熱処理方法により熱処理を行う熱処理工程と、半導体基板上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程とにより半導体装置を製造するので、ゲート絶縁膜を形成する際の酸化工程においてチャネル不純物の酸化増速拡散を抑制することができる。これにより、チャネル不純物の再分布ばらつきを抑えることができるので、MOSFETの閾値電圧ばらつきを低減することができる。

【0052】また、上記の半導体装置の製造方法において、上記熱処理工程には不活性ガス雰囲気中で半導体基板を熱処理する熱処理方法を適用することができる。また、上記の半導体装置の製造方法において、上記熱処理工程では半導体基板を窒化してもよい。このように形成した窒化膜を利用することにより、酸窒化膜をゲート絶縁膜とするMOSFETを、閾値電圧のばらつきを低減しつつ形成することができる。

【0053】また上記の半導体装置の製造方法において、ゲート絶縁膜形成には、毎秒 3 0℃以上のレートで所定の温度まで昇温する酸化方法を適用することが有効である。ゲート絶縁膜形成工程で高速昇温酸化法を用いれば、チャネル不純物の増速拡散を更に抑制することができる。また、上記の半導体装置の製造方法において、ゲート絶縁膜形成工程では、毎秒 3 0℃以上のレートで所定の温度まで昇温する酸化方法により半導体基板を酸化する第 1 の酸化工程と、炉酸化により半導体基板を酸化する第 2 の酸化工程とを行うことも有効である。このように 2 段階で酸化処理を行うことにより、チャネル不純物の増速拡散を防止しつつゲート絶縁膜の信頼性を高めることができる。

【0054】また、上記の半導体装置の製造方法では、素子分離膜形成工程の後に、素子分離膜の応力を緩和するための素子分離膜アニール工程を行うことも有効である。高温の素子分離膜アニールを行うことにより、チャネル不純物のストレス起因の拡散を抑制することができるので、MOSFETの閾値電圧ばらつきを低減することができる。

【0055】また、半導体基板上に素子分離膜を形成する素子分離膜形成工程と、半導体基板を熱処理して素子分離膜の応力を緩和する素子分離膜アニール工程と、半導体基板上に、ゲート絶縁膜を形成するゲート絶縁膜形

成工程と、ゲート絶縁膜下の半導体基板にチャネル不純物を導入するチャネル不純物導入工程と、ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程とにより半導体装置を製造することにより、ゲート絶縁膜形成過程におけるチャネル不純物の再分布を防止することができる。また、素子分離膜の形成後に高温アニールを行うので、チャネル不純物のストレス起因の拡散をも防止することができる。

【0056】また、上記の半導体装置の製造方法において、ゲート絶縁膜形成工程の後に、ゲート絶縁膜を窒化するゲート絶縁膜窒化工程を行えば、ゲート絶縁膜の注入ダメージを除去できると同時に窒化酸化膜よりなるゲート絶縁膜を形成することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態による半導体装置の製造方法を示す工程図である。

【図 2】本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図である。

【図 3】第 1 実施形態の変形例による半導体装置の製造方法を示す工程図である。

【図 4】本発明の第 2 実施形態による半導体装置の製造方法を示す工程図である。

【図 5】本発明の第 3 実施形態による半導体装置の製造方法を示す工程図である。

【図 6】本発明の第 4 実施形態による半導体装置の製造方法を示す工程図である。

【図 7】本発明の第 5 実施形態による半導体装置の製造方法を示す工程図である。

【図 8】第 5 実施形態の変形例による半導体装置の製造方法を示す工程図である。

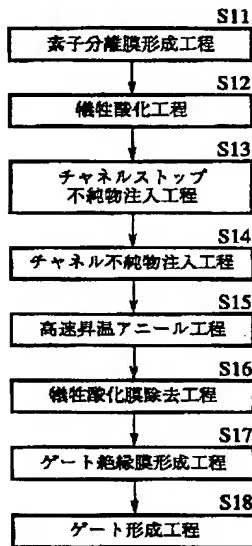
【図 9】第 5 実施形態の変形例による半導体装置の製造方法を示す工程図である。

【符号の説明】

- 1 0…シリコン基板
- 1 2…素子分離膜
- 1 4…犠牲酸化膜
- 1 6…チャネルストップ不純物
- 1 8…チャネル不純物
- 2 0…ゲート絶縁膜
- 2 2…ゲート電極
- 2 4…ソース／ドレイン拡散層
- 2 6…ソース／ドレイン拡散層

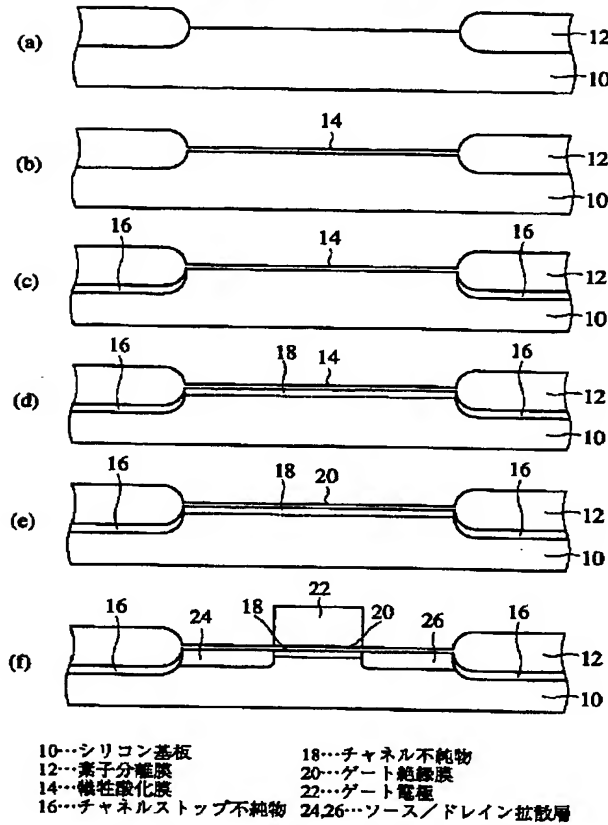
【図1】

発明の第1実施形態による半導体装置
の製造方法を示す工程図



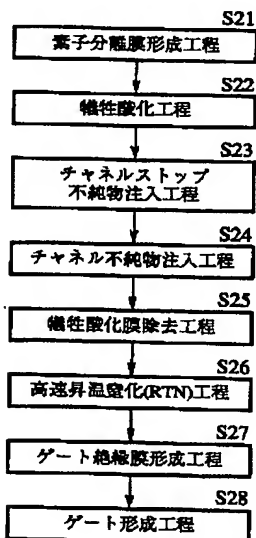
【図2】

本発明の第1実施形態による半導体装置
の製造方法を示す工程断面図



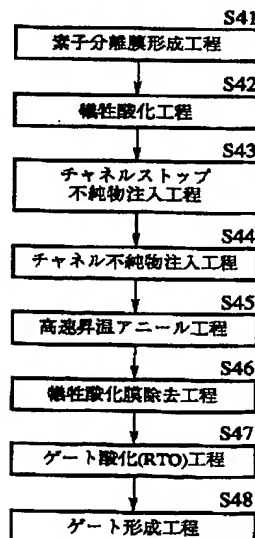
【図3】

第1実施形態の変形例による半導体装置
の製造方法を示す工程図



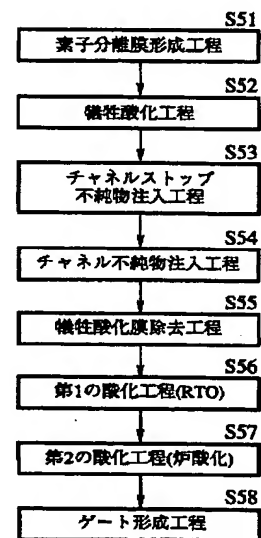
【図5】

本発明の第3実施形態による半導体装置
の製造方法を示す工程図



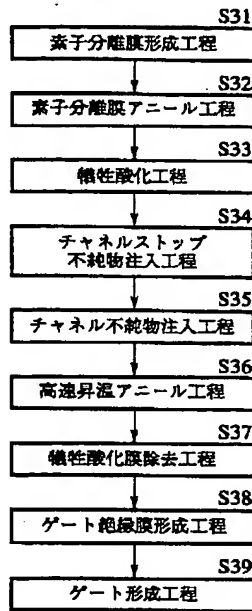
【図6】

本発明の第4実施形態による半導体装置
の製造方法を示す工程図



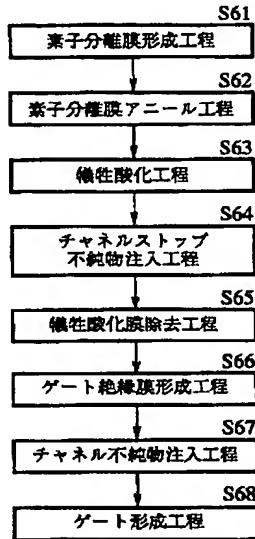
【図4】

本発明の第2実施形態による半導体装置
の製造方法を示す工程図



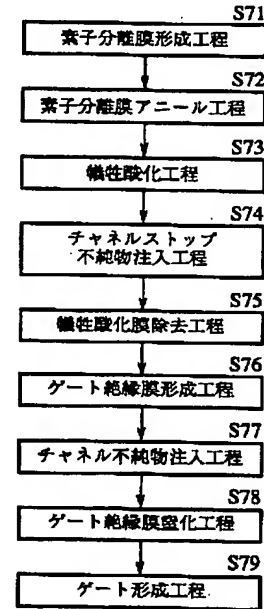
【図7】

本発明の第5実施形態による半導体装置
の製造方法を示す工程図



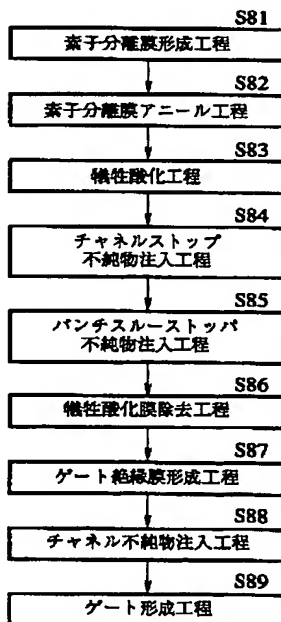
【図8】

第5実施形態の変形例による半導体装置
の製造方法を示す工程図(その1)



【図9】

第5実施形態の変形例による半導体装置
の製造方法を示す工程図(その2)



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年4月28日(2005.4.28)

【公開番号】特開平11-26754

【公開日】平成11年1月29日(1999.1.29)

【出願番号】特願平9-173476

【国際特許分類第7版】

H 0 1 L 29/78

【F I】

H 0 1 L 29/78 3 0 1 G

H 0 1 L 29/78 3 0 1 H

【手続補正書】

【提出日】平成16年6月21日(2004.6.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に素子分離膜を形成する素子分離膜形成工程と、

前記半導体基板を熱処理して前記素子分離膜の応力を緩和する素子分離膜アニール工程と、

前記半導体基板上に、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜下の前記半導体基板にチャネル不純物を導入するチャネル不純物導入工程と、

前記ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項2】

請求項1記載の半導体装置の製造方法において、

前記ゲート絶縁膜形成工程の後に、前記ゲート絶縁膜を窒化するゲート絶縁膜窒化工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項3】

半導体基板上に素子分離膜を形成する素子分離膜形成工程と、

前記素子分離膜により画定された前記半導体基板の領域にチャネル不純物を導入するチャネル不純物導入工程と、

前記チャネル不純物が導入された前記半導体基板を、毎秒50℃以上のレートで所定の温度まで昇温する熱処理方法により熱処理を行う熱処理工程と、

前記半導体基板上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜上にゲート電極を形成するゲート電極形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項4】

請求項3記載の半導体装置の製造方法において、

前記熱処理工程では、不活性ガス雰囲気中で前記半導体基板を熱処理することを特徴とする半導体装置の製造方法。

【請求項5】

請求項3記載の半導体装置の製造方法において、

前記熱処理工程では、前記半導体基板を窒化する
ことを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 3 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記ゲート絶縁膜形成工程では、毎秒 30℃以上のレートで所定の温度まで昇温する酸化方法により前記半導体基板を酸化して前記ゲート絶縁膜を形成する
ことを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 3 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法において、

前記ゲート絶縁膜形成工程は、毎秒 30℃以上のレートで所定の温度まで昇温する酸化方法により前記半導体基板を酸化する第 1 の酸化工程と、炉酸化により前記半導体基板を酸化する第 2 の酸化工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 3 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法において、

前記素子分離膜形成工程の後に、前記素子分離膜の応力を緩和するための素子分離膜アニール工程を更に有する

ことを特徴とする半導体装置の製造方法。